

**MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE**

Patent Number: JP2002094051  
Publication date: 2002-03-29  
Inventor(s): KOBAYASHI MUTSUMI; UMIMOTO HIROYUKI; HIROMOTO AKIRA; MINAMI RIE  
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP2002094051  
Application Number: JP20000277553 20000913  
Priority Number(s):  
IPC Classification: H01L29/78; H01L29/43; H01L21/336  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device having a structure which is effective for suppressing a short channel effect.

**SOLUTION:** With an Si substrate 11 prepared, there are formed an element separating insulating film 12 enclosing an N-type active region, a dummy gate insulating film 15, a first dummy gate electrode 16 and the like. An extension region 17 is formed, where P-type impurity ions is vertically implanted into the Si substrate 12, and a first pocket region 18 is formed, where N-type impurity ions is implanted. A source/drain region 21 is formed by implanting P-type impurity ions into the Si substrate 11. With an inter-layer insulating film 22 formed on the substrate, the first dummy gate electrode 16 is selectively removed, to form a recessed part at the inter-layer insulating film 22. In the recessed part, a dummy side spacer 24 and a second dummy gate electrode 26 are formed. A gap is formed between the inter-layer insulating film 22 and the second dummy gate electrode 26, by selectively removing the dummy side spacer 24, and then by implanting N-type impurity ions into the Si substrate 12 through the gap almost vertically, a second pocket region 27 is formed.

---

Data supplied from the esp@cenet database - 12

AN

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-94051  
(P2002-94051A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
29/43		29/62	G 5 F 0 4 0
21/336		29/78	3 0 1 P

審査請求 未請求 請求項の数6 O L (全 12 頁)

(21) 出願番号 特願2000-277553 (P2000-277553)

(22) 出願日 平成12年9月13日 (2000.9.13)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小林 睦

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 海本 博之

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

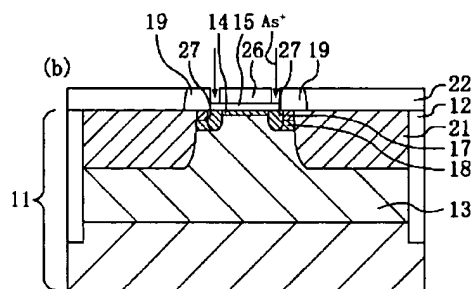
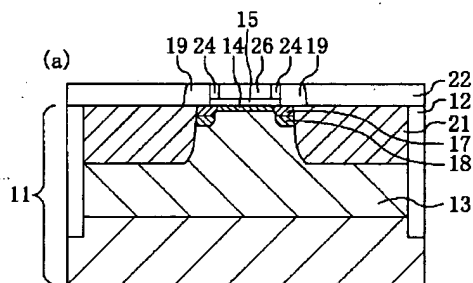
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 短チャネル効果の抑制に有効な構造を有する半導体装置の製造方法を提供する。

【解決手段】 Si基板11を用意し、N型活性領域を囲む素子分離用絶縁膜12、ダミーゲート絶縁膜15、第1ダミーゲート電極16等を形成する。ほぼ垂直方向からSi基板11にP型不純物イオンが注入されたエクステンション領域17、N型不純物イオンが注入された第1ポケット領域18を形成する。さらにSi基板11内にP型不純物イオンを注入することによってソース・ドレイン領域21を形成する。基板上に層間絶縁膜22を形成し、選択的に第1ダミーゲート電極16を除去することにより層間絶縁膜22に凹部を形成する。凹部にダミーサイドスペーサー24と第2ダミーゲート電極26とを形成する。選択的にダミーサイドスペーサー24を除去することにより層間絶縁膜22と第2ダミーゲート電極26との間隙を形成した後、ほぼ垂直方向からこの間隙を通じてSi基板11内にN型不純物イオンを注入することにより、第2ポケット領域27を形成する。



## 【特許請求の範囲】

【請求項1】 半導体領域を有する基板を用意する工程 (a) と、

上記半導体領域の上にダミーゲート層を形成する工程 (b) と、

上記第1ダミーゲート層をマスクとして、上記半導体領域内に低濃度の第1導電型不純物イオンを注入することによりエクステンション領域を形成する工程 (c) と、  
上記第1ダミーゲート層をマスクとして、上記基板の主面に対して略垂直方向から上記半導体領域内に第2導電型不純物イオンを注入することにより第1ポケット領域を形成する工程 (d) と、

上記第1ダミーゲート層の側面上にサイドウォールを形成する工程 (e) と、

上記第1ダミーゲート層および上記サイドウォールをマスクとして上記半導体領域内に高濃度の第1導電型不純物イオンを注入することによりソース領域およびドレイン領域を形成する工程 (f) と、

上記工程 (f) の後に、上記基板の上に層間絶縁膜を堆積し、少なくとも上記第1ダミーゲート層が露出するまで上記層間絶縁膜を除去し平坦化する工程 (g) と、  
上記工程 (g) の後に、上記第1ダミーゲート層の少なくとも一部を除去し、ゲート形成用溝を形成する工程 (h) と、

上記サイドウォールの上記ゲート形成用溝側の側面上にダミーサイドスペーサーを形成する工程 (i) と、  
少なくとも上記ダミーサイドスペーサーの上面が露出するように、上記ゲート形成用溝の凹部内に第2ダミーゲート層を埋め込む工程 (j) と、

上記ダミーサイドスペーサーを選択的に除去することによって、上記第2ダミーゲート層と上記サイドウォールとの間に間隙を形成する工程 (k) と、

少なくとも上記第2ダミーゲート層と上記サイドウォールとをマスクとして、上記間隙を通して上記基板の主面に対して略垂直方向から上記半導体領域内に第2導電型不純物イオンを注入することによって、上記第1ポケット領域に連続する第2ポケット領域を形成する工程 (l) と、

少なくとも上記第2ダミーゲート層を除去することにより、上記ゲート形成用溝内の上記半導体領域の表面を露出する工程 (m) と、

上記ゲート形成用溝内に露出している上記半導体領域の上にゲート絶縁膜を形成する工程 (n) と、

上記ゲート絶縁膜上にゲート電極を形成する工程 (o) と、

を含む半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、

上記工程 (b) では、上記半導体領域の上に形成されたダミーゲート絶縁膜と上記ダミーゲート絶縁膜上に形成

された第1ダミーゲート電極とからなる上記第1ダミーゲート層を形成し、

上記工程 (h) では、上記第1ダミーゲート層のうちの上記第1ダミーゲート電極を除去することによって上記ゲート形成用溝を形成し、

上記工程 (m) では、上記第2ダミーゲート層を除去した後、上記第1ダミーゲート層のうちの上記ダミーゲート絶縁膜を除去することによって上記ゲート形成用溝内の上記半導体領域の表面を露出することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2に記載の半導体装置の製造方法において、

上記工程 (j) では、第2ダミーゲート層用材料を上記基板の上に堆積した後、上記ダミーサイドスペーサーが所定の厚さになるまで、上記第2ダミーゲート層用材料、上記層間絶縁膜、上記サイドウォールおよび上記ダミーサイドスペーサーとを研磨することによって、上記第2ダミーゲート層を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1から3のいずれかに記載の半導体装置の製造方法において、

上記工程 (l) において、上記間隙を通して上記基板の主面に対して略垂直方向から、上記第2ポケット領域を形成するための注入エネルギーよりも小さい注入エネルギーで上記半導体領域内に第1導電型不純物イオンを注入することによって、しきい値制御用不純物注入領域を形成する工程をさらに含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1から4のいずれかに記載の半導体装置の製造方法において、

上記工程 (o) において、上記ゲート絶縁膜を形成した後に、バリアーメタルを形成する工程をさらに含み、上記ゲート電極として上記バリアーメタル上にメタルゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、

上記工程 (n) において、上記ゲート絶縁膜として金属酸化膜を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ヘイロー構造を有するMISトランジスタである半導体装置の製造方法に関し、特に、その微細化対策に関する。

## 【0002】

【従来の技術】 チャネルの長さがサブミクロンであるMISトランジスタでは、ソース領域およびドレイン領域からの空乏層がゲート直下まで広がり、このことによってしきい値電圧の低下やパンチスルーなどの短チャネル

効果と呼ばれる問題が生じる。この問題を解決する方法として、エクステンション領域を覆うようにポケット領域を形成し、短チャネル効果の原因となるソース領域とドレイン領域との間の空乏層の広がりや抑制しつつ、ソースドレイン間の電流を確保し得る構造（ヘイロー構造）が知られている。

【0003】従来のヘイロー構造の形成方法について、図11および図12を参照しながら説明する。図11および図12は、Pチャネル型MISトランジスタ100の製造工程における断面構造を模式的に示す図である。

【0004】まず、図11(a)に示す工程で、Si基板111にトレンチ型の素子分離用絶縁膜112を形成した後、Si基板111内にN型不純物を導入してチャネルストッパー領域113を形成する。次に、しきい値電圧制御のためにN型不純物イオンをSi基板111内に低エネルギーで注入し、N型不純物拡散層となるしきい値制御用不純物注入領域114を形成する。

【0005】次に、Si基板111上に、熱酸化膜からなるゲート絶縁膜128と多結晶Siからなるゲート電極131とを下方から順に形成する。

【0006】次に、図11(b)に示す工程で、ゲート電極131をマスクとして、ほぼ垂直方向（法線方向から傾き7°）からP型不純物イオン（例えばフッ化ボロンイオン（ $\text{BF}_2^+$ ））をSi基板111内に低エネルギーで注入し、Si基板111内のゲート電極131の両側方に位置する領域にエクステンション領域117を形成する。

【0007】次に、図12(a)に示す工程で、ゲート電極131をマスクとして、Si基板111の主面の法線を回転軸にしてSi基板111を90°ずつ4ステップで回転させながら、法線方向から所定の角度傾いた方向からSi基板111内にN型不純物イオン（例えばヒ素イオン（ $\text{As}^+$ ））の注入を行い、エクステンション領域117よりも深く、且つ、ゲート電極131の内側に入り込んだ領域にポケット領域118を形成する。このとき、ポケット領域118によってエクステンション領域117の底部および側部が下方から覆われるように形成するために、N型不純物イオンのイオン注入の法線方向からの傾斜角度は、20°以上の比較的大きな傾角とする必要がある。

【0008】次に、図12(b)に示す工程で、ゲート電極131の側面上に電気的に絶縁体からなるサイドウォール119を形成した後、ゲート電極131およびサイドウォール119をマスクとして、Si基板111内にP型不純物イオン（例えばフッ化ボロンイオン（ $\text{BF}_2^+$ ））を注入することによってソース領域およびドレイン領域121を形成する。

【0009】勿論、Nチャネル型MISトランジスタであっても、不純物の導電型およびイオン注入時のドーズ量等を適宜変更することで、上記方法と同様に製造する

ことができる。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来のMISトランジスタの製造方法には、トランジスタの微細化が進むにつれて、相隣接するトランジスタ同士の距離が短くなり、隣接するトランジスタのゲート電極がポケット領域形成のためのイオン注入の障害となるおそれがある。すなわち、ゲート電極をマスクとして、法線方向から大きな傾斜角度でイオン注入を行なうことによってポケット領域を形成する際に、隣接するゲート電極によってイオン注入されない領域が生じるため、隣接するゲート電極の間隔およびイオン注入の傾斜角度によっては、適正なポケット領域が形成されないことがある。従って、ヘイロー構造のポケット領域をゲート電極の十分内側まで入り込ませるのに十分傾いた方向からイオン注入ができないという不具合がある。

【0011】本発明は、上記の不具合を解決するためになされたものであり、相隣接するトランジスタの距離が短くとも、隣接するトランジスタのゲート電極がポケット領域形成のイオン注入の障害となることなく、短チャネル効果の抑制に有効な構造を有する半導体装置の製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体領域を有する基板を用意する工程

(a)と、上記半導体領域の上にダミーゲート層を形成する工程(b)と、上記第1ダミーゲート層をマスクとして、上記半導体領域内に低濃度の第1導電型不純物イオンを注入することによりエクステンション領域を形成する工程(c)と、上記第1ダミーゲート層をマスクとして、上記基板の主面に対して略垂直方向から上記半導体領域内に第2導電型不純物イオンを注入することにより第1ポケット領域を形成する工程(d)と、上記第1ダミーゲート層の側面上にサイドウォールを形成する工程(e)と、上記第1ダミーゲート層および上記サイドウォールをマスクとして上記半導体領域内に高濃度の第1導電型不純物イオンを注入することによりソース領域およびドレイン領域を形成する工程(f)と、上記工程(f)の後に、上記基板の上に層間絶縁膜を堆積し、少なくとも上記第1ダミーゲート層が露出するまで上記層間絶縁膜を除去し平坦化する工程(g)と、上記工程(g)の後に、上記第1ダミーゲート層の少なくとも一部を除去し、ゲート形成用溝を形成する工程(h)と、上記サイドウォールの上記ゲート形成用溝側の側面上にダミーサイドスペーサーを形成する工程(i)と、少なくとも上記ダミーサイドスペーサーの上面が露出するように、上記ゲート形成用溝の凹部内に第2ダミーゲート層を埋め込む工程(j)と、上記ダミーサイドスペーサーを選択的に除去することによって、上記第2ダミーゲート層と上記サイドウォールとの間に間隙を形成する工

程(k)と、少なくとも上記第2ダミーゲート層と上記サイドウォールとをマスクとして、上記間隙を通して上記基板の主面に対して略垂直方向から上記半導体領域内に第2導電型不純物イオンを注入することによって、上記第1ポケット領域に連続する第2ポケット領域を形成する工程(l)と、少なくとも上記第2ダミーゲート層を除去することにより、上記ゲート形成用溝内の上記半導体領域の表面を露出する工程(m)と、上記ゲート形成用溝内に露出している上記半導体領域の上にゲート絶縁膜を形成する工程(n)と、上記ゲート絶縁膜上にゲート電極を形成する工程(o)とを含む。

【0013】このことによって、短チャネル効果を抑制するためのポケット領域を形成する際に、ほぼ垂直にイオン注入することができる。従って、相隣接するトランジスタの距離が短くとも、隣接するトランジスタのゲート電極が、ポケット領域形成のためのイオン注入の障害となることなく、ヘイロー構造を形成することができる。

【0014】上記工程(b)では、上記半導体領域の上に形成されたダミーゲート絶縁膜と上記ダミーゲート絶縁膜上に形成された第1ダミーゲート電極とからなる上記第1ダミーゲート層を形成し、上記工程(h)では、上記第1ダミーゲート層のうち上記第1ダミーゲート電極を除去することによって上記ゲート形成用溝を形成し、上記工程(m)では、上記第2ダミーゲート層を除去した後、上記第1ダミーゲート層のうちの上記ダミーゲート絶縁膜を除去することによって上記ゲート形成用溝内の上記半導体領域の表面を露出することが好ましい。

【0015】このことによって、各工程でゲート形成用溝内において行なわれる各種膜の形成および除去の影響から、ゲート形成用溝内の半導体領域の表面が保護される。従って、良質のゲート絶縁膜を形成することができ、ゲート電極から半導体領域への電流のリーク等が防止された信頼性の高い半導体装置を製造することができる。

【0016】上記工程(j)では、第2ダミーゲート層用材料を上記基板の上に堆積した後、上記ダミーサイドスペーサーが所定の厚さになるまで、上記第2ダミーゲート層用材料、上記層間絶縁膜、上記サイドウォールおよび上記ダミーサイドスペーサーとを研磨することによって、上記第2ダミーゲート層を形成してもよい。

【0017】上記工程(l)において、上記間隙を通して上記基板の主面に対して略垂直方向から、上記第2ポケット領域を形成するための注入エネルギーよりも小さい注入エネルギーで上記半導体領域内に第1導電型不純物イオンを注入することによって、しきい値制御用不純物注入領域を形成する工程をさらに含むことが好ましい。

【0018】このことによって、ソース領域およびドレ

イン領域からの空乏層の広がりやをさらに抑えることができる。従って、短チャネル効果がさらに抑制された半導体装置を得ることができる。

【0019】上記工程(o)において、上記ゲート絶縁膜を形成した後に、バリヤーメタルを形成する工程をさらに含み、上記ゲート電極として上記バリヤーメタル上にメタルゲート電極を形成してもよい。

【0020】このことによって、メタルゲート電極を形成することにより、メタルゲート電極内での電圧降下が小さくなる。つまり、メタルゲート電極に十分な駆動電圧が印加される。従って、駆動が高速なMISトランジスタが得られる。

【0021】さらに、上記工程(n)において、上記ゲート絶縁膜として金属酸化膜を形成してもよい。

【0022】

【発明の実施の形態】以下、図面を参照しながら本発明による実施形態を説明する。簡単のため、各実施形態に共通する構成要素は、同一の参照符号で示す。

【0023】(実施形態1)図1～図6は、本実施形態のPチャネル型MISトランジスタ10の製造工程における断面構造を模式的に示す図である。

【0024】まず、図1(a)に示す工程で、N型不純物がドーピングされたSi基板11を用意する。周知の技術によりSi基板11の上面側に溝を形成し、この溝内に絶縁材料を埋設することによって活性領域を囲む素子分離用絶縁膜12を形成する。その後、Si基板11内にN型不純物イオンを注入することによってチャネルストッパー領域13を形成する。ここでは、N型不純物イオンとしてリンイオン(P<sup>+</sup>)を注入エネルギー250keV、ドーズ量 $1 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ で注入する。次に、N型不純物イオンをSi基板11内にイオン注入することにより、しきい値電圧制御に必要なしきい値制御用不純物注入領域14を形成する。ここでは、N型不純物イオンとしてヒ素イオン(As<sup>+</sup>)を注入エネルギー80keV、ドーズ量 $1 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$ で注入する。次に、Si基板11上に、厚さ約3nmのシリコン酸化膜を熱酸化法により形成し、さらにシリコン酸化膜上に厚さ約200nmの多結晶Si膜を堆積し、フォトリソグラフィによるフォトレジストマスク(図示せず)のパターンニングをして、フォトレジストマスクをマスクとして多結晶Si膜およびシリコン酸化膜の異方性エッチングを行って、ダミーゲート絶縁膜15および第1ダミーゲート電極16を形成する。なお、ダミーゲート絶縁膜15は、活性領域上に亘って残しておいてもよい。

【0025】次に、図1(b)に示す工程で、フォトレジストマスクを除去した後、第1ダミーゲート電極16をマスクとして、Si基板11内にP型不純物イオンを注入することによりエクステンション領域17を形成する。ここでは、P型不純物イオンとしてフッ化ボロンイ

オン ( $\text{BF}_2^+$ ) を注入エネルギー5 keV、ドーズ量  $2 \times 10^{14} \text{ ions} \cdot \text{cm}^{-2}$  で注入する。

【0026】次いで、図2(a)に示す工程で、第1ダミーゲート電極16をマスクとして、基板主面の法線を回転軸にして基板を90°ずつ4ステップで回転させながら、法線方向から7°傾いた方向からSi基板11内にN型不純物イオンを注入することにより、エクステンション領域17よりも深く、且つ、第1ダミーゲート電極16の内側に入り込んだ領域に第1ポケット領域18を形成する。ここでは、N型不純物イオンとしてヒ素イオン ( $\text{As}^+$ ) を注入エネルギー100 keV、ドーズ量  $5 \times 10^{13} \text{ atoms} \cdot \text{cm}^{-2}$  で注入する。このとき、第1ポケット領域18によって、ゲート電極16の端部の下に位置するエクステンション領域17の側部を覆う必要が無く、エクステンション領域17の底部が下方から覆われればよいので、イオン注入の法線方向からの傾斜角度は、チャネリング防止のために0°より大きく10°以下の範囲内であればよく、3°以上8°以下の範囲内であることが好ましい。

【0027】また、本実施形態では、第1ポケット領域18の形成は、エクステンション領域17を形成した後に行ったが、エクステンション領域17を形成する前に行ってもよい。

【0028】続いて、図2(b)に示す工程で、窒素雰囲気中において1000℃で、約10秒間熱処理した後、膜厚60 nm程度のシリコン窒化膜をCVD法によってSi基板11上に堆積し、このシリコン窒化膜を異方性エッチングすることによって、第1ダミーゲート電極16の側面上にサイドウォール19を形成する。その後、第1ダミーゲート電極16およびサイドウォール19をマスクとしてSi基板11内にP型不純物イオンを注入することによってソース領域およびドレイン領域21を形成し、不純物の活性化のために窒素雰囲気中において1000℃で、約10秒間熱処理する。ここでは、P型不純物イオンとしてフッ化ボロンイオン ( $\text{BF}_2^+$ ) イオンを注入エネルギー20 keV、ドーズ量  $4 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-2}$  で注入する。

【0029】次に、図3(a)に示す工程で、基板上にTEOS(テトラエトキシシラン)からなる厚さ約300 nmの層間絶縁膜を堆積した後、CMP研磨(化学的機械研磨)法によって平坦化を行ない、層間絶縁膜22の表面と第1ダミーゲート電極16の表面との高さを揃える。

【0030】次に、図3(b)に示す工程で、ウェットエッチングにより選択的に第1ダミーゲート電極16を除去し、層間絶縁膜22に凹部を形成した後、基板上に厚さ約30 nmの多結晶Si膜23を堆積する。

【0031】次に、図4(a)に示す工程で、多結晶Si膜23の異方性エッチングを行って、ダミーサイドスペーサー24を形成する。

【0032】次に、図4(b)に示す工程で、基板上にレジスト膜25を300 nmの厚さに堆積する。この工程において、本実施形態では第2ダミーゲート電極用膜としてレジスト膜25を形成したが、PSGやBPSG(Boron Phosphate Silicate Glass)、あるいはタングステンなどの金属膜等のように、サイドウォール19、層間絶縁膜22およびダミーサイドスペーサー24に対して選択的にエッチングされる材料を用いてもよい。

【0033】この後、図5(a)に示す工程で、CMP研磨によって層間絶縁膜を厚さ150 nmだけ残すようにレジスト膜25、層間絶縁膜22およびサイドウォール19を研磨し、レジスト膜25を層間絶縁膜22内の凹部に埋め込んで第2ダミーゲート電極26を形成する。

【0034】次に、図5(b)に示す工程で、ウェットエッチングにより選択的にダミーサイドスペーサー24を除去した後、サイドウォール19、層間絶縁膜22および第2ダミーゲート電極26をマスクとして、基板主面の法線を回転軸にして基板を90°ずつ4ステップで回転させながら、法線方向より7°傾いた方向からSi基板11内にN型不純物イオンを注入することにより、第2ポケット領域27を形成する。ここでは、N型不純物イオンとしてヒ素イオン ( $\text{As}^+$ ) を注入エネルギー70 keV、ドーズ量  $5 \times 10^{12} \text{ atoms} \cdot \text{cm}^{-2}$  で注入する。なお、イオン注入の法線方向からの傾斜角度は、チャネリング防止のために0°より大きく10°以下の範囲内であればよく、3°以上8°以下の範囲内であることが好ましい。この後、不純物の活性化のために窒素雰囲気中で1000℃、10秒程度で熱処理する。

【0035】次に、図6(a)に示す工程で、ドライエッチングにより選択的に第2ダミーゲート電極26を除去した後、ウェットエッチングによりダミーゲート絶縁膜15を除去して基板に凹部を形成した後、熱酸化法により基板表面に厚さ約3 nmのゲート絶縁膜28を形成する。その後、基板上に厚さ約300 nmの多結晶Si膜29を堆積する。

【0036】次に、図6(b)に示す工程で、層間絶縁膜22が露出するまで多結晶Si膜29のCMP研磨を行なうことによってゲート電極31を形成し、Pチャネル型MISトランジスタ10を得ることができる。

【0037】本実施形態において、上述のN型不純物は、リン、ヒ素およびアンチモン等のV族元素から任意に選択され、P型不純物は、ホウ素、アルミニウム、インジウムおよびガリウム等のIII族元素から任意に選択される。注入エネルギーおよびドーズ量は、所定の不純物濃度や各元素の拡散特性に応じて設定すればよい。

【0038】また、本実施形態ではPチャネル型MISトランジスタの製造方法を説明したが、Nチャネル型MISトランジスタも、不純物を導入する際上記実施形態の不純物とそれぞれ逆の導電型の不純物を用い、且

つ、イオン注入時のドーズ量等を適宜変更することにより、上述の本実施形態と全く同様に形成することができる。

【0039】本実施形態によれば、ポケット領域を形成する際にはほぼ垂直にイオン注入することができる。従って、相隣接するトランジスタの距離が短くとも、隣接するトランジスタのゲート電極が、ポケット領域形成のためのイオン注入の障害となることなく、ヘイロー構造を形成することができる。

【0040】(実施形態2) 以下、実施形態2のPチャネル型MISTランジスタ20の製造方法を説明する。図7および図8は、本実施形態のPチャネル型MISTランジスタ20の製造工程における断面構造を模式的に示す図である。

【0041】本実施形態のPチャネル型MISTランジスタ20の製造方法は、上記実施形態1の図1(a)から図5(b)に示される工程と共通の工程を含む。ここでは、図5(b)以降の工程を説明する。

【0042】上記実施形態1の図5(b)に示される工程で、ウェットエッチングによりダミーサイド Spacer 24を除去した後、サイドウォール19、層間絶縁膜22および第2ダミーゲート電極26をマスクとして、基板主面の法線を回転軸にして基板を90°ずつ4ステップで回転させながら、法線方向より7°傾いた方向からSi基板11内にN型不純物イオンを注入することにより、第2ポケット領域27を形成する。ここでは、N型不純物イオンとしてヒ素イオン(As<sup>+</sup>)を注入エネルギー70keV、ドーズ量 $5 \times 10^{12} \text{ atoms} \cdot \text{cm}^{-2}$ で注入する。この後、不純物の活性化のために窒素雰囲気中で1000°C、10秒程度で熱処理する。

【0043】次に、図7(a)に示す工程で、サイドウォール19、層間絶縁膜22および第2ダミーゲート電極26をマスクとして、基板主面の法線を回転軸にして基板を90°ずつ4ステップで回転させながら、法線方向より7°傾いた方向からSi基板11内にP型不純物イオンを注入することにより、第2しきい値制御用不純物注入領域32を形成する。ここでは、フッ化ボロンイオン(BF<sub>2</sub><sup>+</sup>)を注入エネルギー40keV、ドーズ量 $1 \times 10^{12} \text{ atoms} \cdot \text{cm}^{-2}$ で注入する。なお、イオン注入の法線方向からの傾斜角度は、チャネリング防止のために0°より大きく10°以下の範囲内であればよく、3°以上8°以下の範囲内であることが好ましい。この後、不純物の活性化のために、窒素雰囲気中において約1000°Cで約10秒間熱処理する。

【0044】次いで、図7(b)に示す工程で、ドライエッチングにより第2ダミーゲート電極26を除去した後、ウェットエッチングによりダミーゲート絶縁膜15を除去して基板に凹部を形成した後、熱酸化法により基板表面に厚さ約3nmのゲート絶縁膜28を形成する。その後、基板上に厚さ約300nmの多結晶Si膜29

を堆積する。

【0045】続いて、図8に示す工程で、層間絶縁膜22が露出するまで多結晶Si膜29のCMP研磨を行うことによってゲート電極31を形成し、Pチャネル型MISTランジスタ20を得ることができる。

【0046】なお、本実施形態では、第2しきい値制御用不純物注入領域32の形成は、第2ポケット領域27を形成した後に行ったが、第2ポケット領域27を形成する前に行ってもよい。

【0047】上述のN型不純物は、リン、ヒ素およびアンチモン等のV族元素から任意に選択される。注入エネルギーおよびドーズ量は、所定の不純物濃度や各元素の拡散の特性に応じて設定すればよい。

【0048】本実施形態ではPチャネル型MISTランジスタの製造方法を説明したが、Nチャネル型MISTランジスタも、不純物を導入する際に上記実施形態の不純物とそれぞれ逆の導電型の不純物を用い、且つ、イオン注入時のドーズ量等を適宜変更することにより、上述の本実施形態と全く同様に形成することができる。

【0049】本実施形態によれば、エクステンション領域17よりも不純物濃度の低い第2しきい値制御用不純物注入領域32を形成することにより、ソースおよびドレインからの空乏層の広がりをさらに抑えることができる。従って、短チャネル効果がさらに抑制された半導体装置を得ることができる。

【0050】(実施形態3) 以下、実施形態3のPチャネル型MISTランジスタ30の製造方法を説明する。図9は、本実施形態のPチャネル型MISTランジスタ30の製造工程における断面構造を模式的に示す断面図である。

【0051】本実施形態のPチャネル型MISTランジスタ30の製造方法は、上記実施形態1の図1(a)～図5(b)までに示される工程と共通の工程を含む。ここでは、図5(b)以降の工程を説明する。

【0052】上記実施形態1の図5(b)に示す工程で、第2ポケット領域27を形成する。

【0053】次に、図9(a)に示す工程で、ドライエッチングにより第2ダミーゲート電極26を除去した後、ウェットエッチングによりダミーゲート絶縁膜15を除去して基板に凹部を形成した後、厚さ3nmのTa<sub>2</sub>O<sub>5</sub>(タンタル酸化膜)を基板上に堆積することにより、ゲート絶縁膜28を形成する。続いて、ゲート絶縁膜28の上に厚さ10nmのTi/TiNを堆積することにより、ゲート絶縁膜28と後に形成するメタルゲート電極35との反応を防止するためのバリアーメタル33を形成する。さらに、基板上に厚さ300nmのW層(タングステン層)34を堆積する。

【0054】次に、図9(b)に示す工程で、層間絶縁膜22が露出するまでW層34、バリアーメタル33およびゲート絶縁膜28のCMP研磨を行うことによって

メタルゲート電極35を形成し、Pチャネル型MISトランジスタ30を得ることができる。本実施形態では、タングステンでメタルゲート電極35を形成しているが、他の金属を用いてもよく、例えば、アルミニウム、タンタル等を用いることができる。

【0055】本実施形態において、上述のN型不純物は、リン、ヒ素およびアンチモン等のV族元素から任意に選択され、P型不純物は、ホウ素、アルミニウム、インジウムおよびガリウム等のIII族元素から任意に選択される。注入エネルギーおよびドーズ量は、所定の不純物濃度や各元素の拡散の特性に応じて設定すればよい。

【0056】また、本実施形態ではPチャネル型MISトランジスタの製造方法を説明したが、Nチャネル型MISトランジスタも、不純物を導入する際に上記実施形態の不純物とそれぞれ逆の導電型の不純物を用い、且つ、イオン注入時のドーズ量等を適宜変更することにより、上述の本実施形態と全く同様に形成することができる。

【0057】ゲート絶縁膜の電気容量は、比誘電率に比例し、且つ、厚さに反比例する。 $\text{Ta}_2\text{O}_5$ は、 $\text{SiO}_2$ の約5～6倍の比誘電率(約22)を有する。このため $\text{Ta}_2\text{O}_5$ でゲート絶縁膜を形成することにより、ゲート絶縁膜として必要な所定の電気容量を確保しつつ、ゲート絶縁膜の厚さを $\text{SiO}_2$ 膜などに比べて大きくすることができる。このことによって、ゲート電極からチャネルへのリーク電流を小さくすることができる。

【0058】また、タングステンは多結晶Siよりも低抵抗である。このため、タングステンでメタルゲート電極を形成することにより、メタルゲート電極内での電圧降下が小さくなる。つまり、メタルゲート電極に十分な駆動電圧が印加される。従って、駆動が高速なMISトランジスタが得られる。

【0059】(実施形態4)以下、実施形態4のPチャネル型MISトランジスタ40の製造方法を説明する。図10は、本実施形態のPチャネル型MISトランジスタ40の製造工程における断面構造を模式的に示す断面図である。

【0060】本実施形態のPチャネル型MISトランジスタ40の製造方法は、上記実施形態2の図1(a)～図5(b)および図7(a)までに示される工程と共通の工程を含む。ここでは、図7(a)以降の工程を説明する。

【0061】上記実施形態2の図7(a)に示す工程で、第2ダミーゲート電極26をマスクとして、基板主面の法線を回転軸にして基板を $90^\circ$ ずつ4ステップで回転させながら、法線方向より $7^\circ$ 傾いた方向からSi基板11内にP型不純物イオンを注入することにより、第2しきい値制御用不純物注入領域32を形成する。ここでは、フッ化ボロンイオン( $\text{BF}_2^+$ )を注入エネルギー40keV、ドーズ量 $1 \times 10^{12} \text{atoms} \cdot \text{cm}^{-2}$ で注入す

る。なお、イオン注入の法線方向からの傾斜角度は、チャネリング防止のために $0^\circ$ より大きく $10^\circ$ 以下の範囲内であればよく、 $3^\circ$ 以上 $8^\circ$ 以下の範囲内であることが好ましい。この後、不純物の活性化のために、窒素雰囲気中において約 $1000^\circ\text{C}$ で約10秒間熱処理する。

【0062】次に、図10(a)に示す工程で、ドライエッチングにより第2ダミーゲート電極26を除去した後、ウェットエッチングによりダミーゲート絶縁膜15を除去して基板に凹部を形成した後、厚さ3nmの $\text{Ta}_2\text{O}_5$ を基板上に堆積することにより、ゲート絶縁膜28を形成する。続いて、ゲート絶縁膜28の上に厚さ10nmのTi/TiNを堆積することにより、ゲート絶縁膜28と後に形成するメタルゲート電極35との反応を防止するためのバリアーメタル33を形成する。さらに、基板上に厚さ300nmのタングステン層(W層)34を堆積する。

【0063】続いて、図10(b)に示す工程で、層間絶縁膜22が露出するまでW層34、バリアーメタル33およびゲート絶縁膜28のCMP研磨を行うことによりメタルゲート電極35を形成し、Pチャネル型MISトランジスタ40を得ることができる。なお、タングステンでメタルゲート電極35を形成しているが、他の金属を用いてもよく、例えば、アルミニウム、タンタル等を用いることができる。

【0064】なお、本実施形態では、第2しきい値制御用不純物注入領域32の形成は、第2ポケット領域27を形成した後にを行ったが、第2ポケット領域27を形成する前に行ってもよい。

【0065】本実施形態において、上述のN型不純物は、リン、ヒ素およびアンチモン等のV族元素から任意に選択され、P型不純物は、ホウ素、アルミニウム、インジウムおよびガリウム等のIII族元素から任意に選択される。注入エネルギーおよびドーズ量は、所定の不純物濃度や各元素の拡散の特性に応じて設定すればよい。

【0066】また、本実施形態ではPチャネル型MISトランジスタの製造方法を説明したが、Nチャネル型MISトランジスタも、不純物を導入する際に上記実施形態の不純物とそれぞれ逆の導電型の不純物を用い、且つ、イオン注入時のドーズ量等を適宜変更することにより、上述の本実施形態と全く同様に形成することができる。

【0067】本実施形態によれば、上述の実施形態3と同様に、 $\text{Ta}_2\text{O}_5$ でゲート絶縁膜を形成することにより、ゲート絶縁膜として必要な所定の電気容量を確保しつつ、ゲート絶縁膜の厚さを $\text{SiO}_2$ 膜などに比べて大きくすることができる。このことによって、ゲート電極からチャネルへのリーク電流を小さくすることができる。また、タングステン等の金属でメタルゲート電極を形成することにより、メタルゲート電極内での電圧降下



が小さくなる。つまり、メタルゲート電極に十分な駆動電圧が印加され、駆動が高速なMISTランジスタが得られる。

【0068】さらに、本実施形態によれば、エクステンション領域17よりも不純物濃度の低い第2しきい値制御用不純物注入領域32を形成することにより、ソースおよびドレインからの空乏層の広がりをさらに抑えることができる。従って、短チャネル効果がさらに抑制された半導体装置を得ることができる。

【0069】

【発明の効果】本発明によれば、MISTランジスタにおいて、短チャネル効果を抑制するためのポケット領域を形成する際に、ほぼ垂直にイオン注入することができ、従って、相隣接するランジスタの距離が短くとも、隣接するランジスタのゲート電極が、ポケット領域形成のためのイオン注入の障害となることなく、ヘイロー構造を形成することができる。

【図面の簡単な説明】

【図1】実施形態1のPチャネル型MISTランジスタ10の製造工程における断面構造を模式的に示す図である。

【図2】実施形態1のPチャネル型MISTランジスタ10の製造工程における断面構造を模式的に示す図である。

【図3】実施形態1のPチャネル型MISTランジスタ10の製造工程における断面構造を模式的に示す図である。

【図4】実施形態1のPチャネル型MISTランジスタ10の製造工程における断面構造を模式的に示す図である。

【図5】実施形態1のPチャネル型MISTランジスタ10の製造工程における断面構造を模式的に示す図である。

【図6】実施形態1のPチャネル型MISTランジスタ10の製造工程における断面構造を模式的に示す図である。

【図7】実施形態2のPチャネル型MISTランジスタ20の製造工程における断面構造を模式的に示す図である。

【図8】実施形態2のPチャネル型MISTランジスタ

20の製造工程における断面構造を模式的に示す図である。

【図9】実施形態3のPチャネル型MISTランジスタ30の製造工程における断面構造を模式的に示す断面図である。

【図10】実施形態4のPチャネル型MISTランジスタ30の製造工程における断面構造を模式的に示す断面図である。

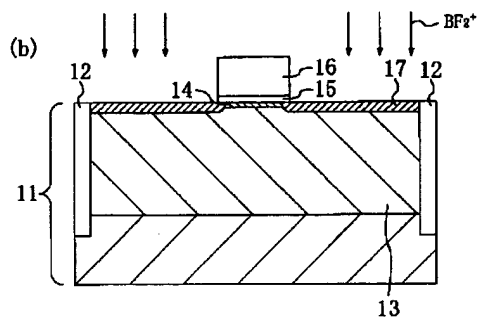
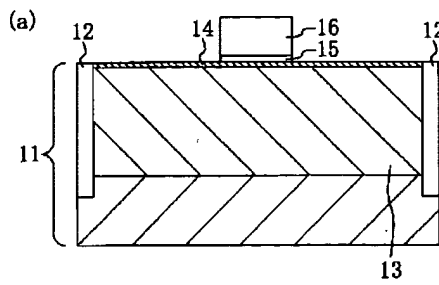
【図11】従来のPチャネル型MISTランジスタ100の製造工程における断面構造を模式的に示す断面図である。

【図12】従来のPチャネル型MISTランジスタ100の製造工程における断面構造を模式的に示す断面図である。

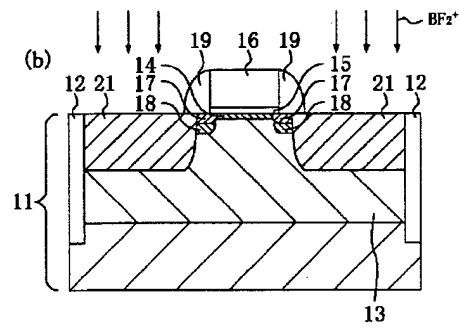
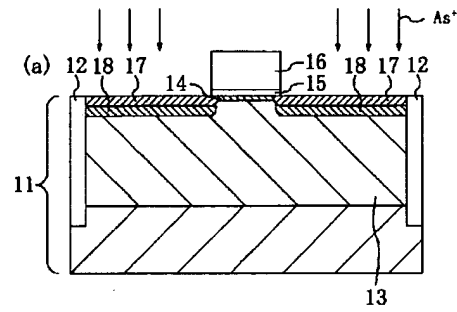
【符号の説明】

- 10、20、30、40、100 MISTランジスタ
- 11、111 Si基板
- 12、112 素子分離用絶縁膜
- 13、113 チャネルストップ領域
- 14、114 しきい値制御用不純物注入領域
- 15 ダミーゲート絶縁膜
- 16 第1ダミーゲート電極
- 17、117 エクステンション領域
- 18 第1ポケット領域
- 19、119 サイドウォール
- 21、121 ソース領域およびドレイン領域
- 22 層間絶縁膜
- 23 多結晶Si膜
- 24 ダミーサイドスペーサー
- 25 レジスト膜
- 26 第2ダミーゲート電極
- 27 第2ポケット領域
- 28、128 ゲート絶縁膜
- 29 多結晶Si膜
- 31、131 ゲート電極
- 32 第2しきい値制御用不純物注入領域
- 33 バリヤーメタル
- 34 メタルゲート電極
- 118 ポケット領域

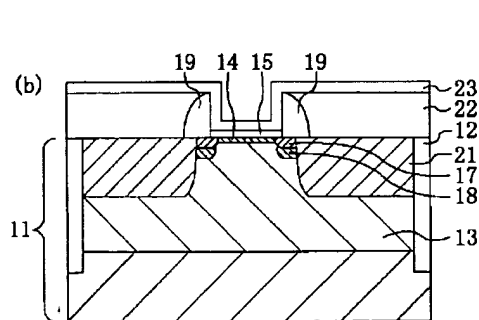
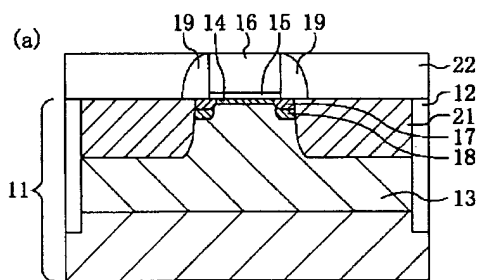
【図1】



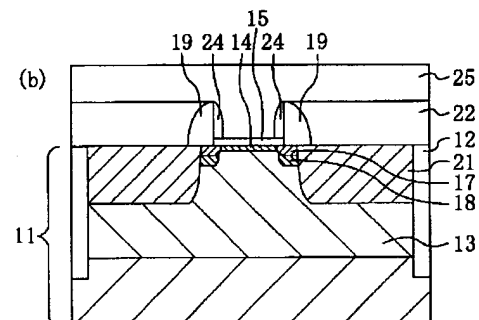
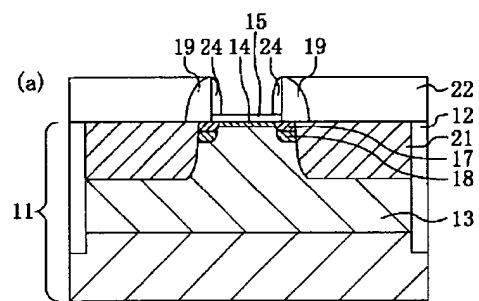
【図2】



【図3】

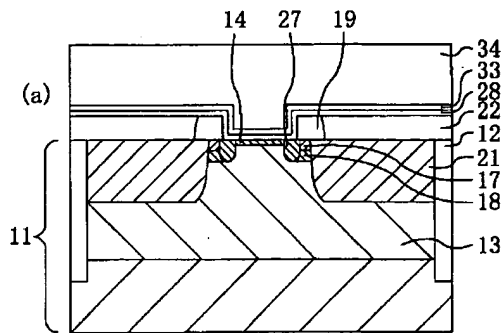


【図4】

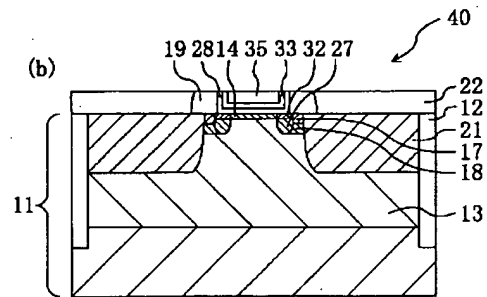
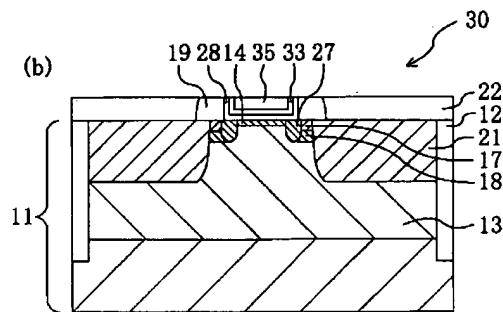
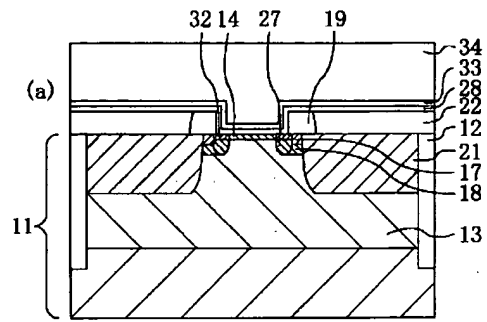




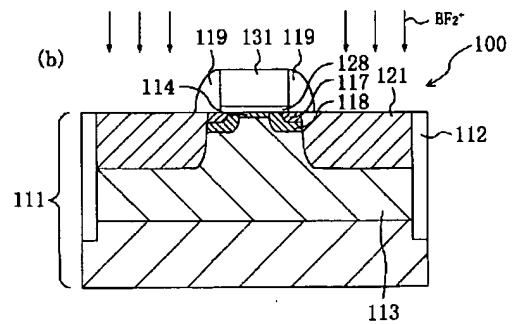
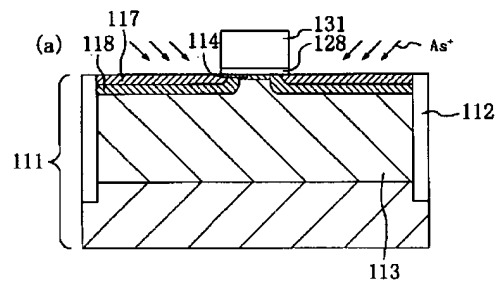
【図9】



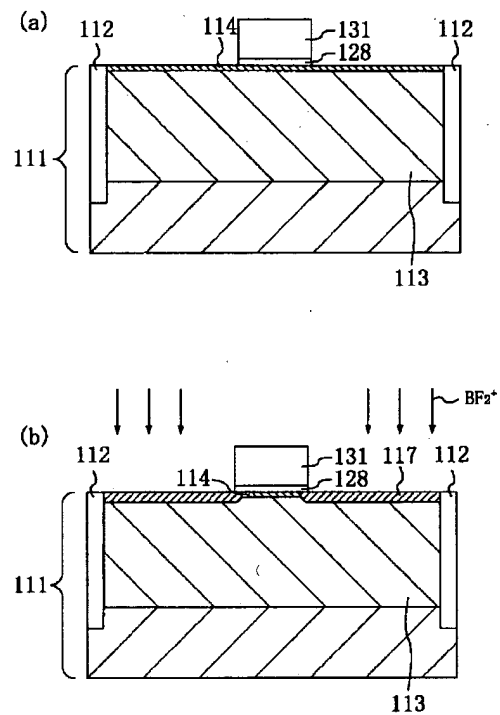
【図10】



【図12】



【図11】



フロントページの続き

(72)発明者 広本 彰  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(72)発明者 南 里江  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

Fターム(参考) 4M104 AA01 BB01 BB14 CC05 DD02  
DD03 DD04 DD08 DD09 DD15  
DD16 DD75 EE03 EE16 FF01  
GG08 GG09 GG10 GG14 HH14  
5F040 DA06 DC01 EC01 EC02 EC04  
EC08 EC12 ED03 EF02 EK05  
EL02 FA01 FA02 FA07 FB02  
FB03 FB05 FC10 FC13 FC21